

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-013418

(43)Date of publication of application : 22.01.1993

(51)Int.Cl.

H01L 21/321

(21)Application number : 03-164161

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 04.07.1991

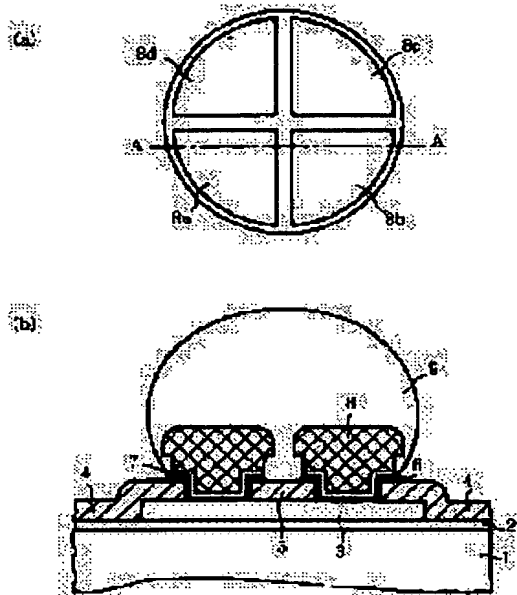
(72)Inventor : FUKUDA KOJI
TAKEDA MITSUYOSHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To prevent the generation of cracks by application of internal stress to the final insulating film on the overlapped part of a Cu plated layer, which constitutes a bump, and the final insulating film.

CONSTITUTION: A second insulating film 5 is formed on the aperture part of the final insulating film 4 located on the bonding part 3 provided through the intermediary of a first insulating film 2 on a semiconductor substrate 1, a plurality of bump-forming parts of the prescribed size are formed. On these divided parts, Cu-plated layers 8 are formed on the respective divided parts through the intermediary of a Cr layer 6 and a Cu layer 7, and a solder layer 9 is formed covering the Cu-plated layers 8 entirely. Accordingly, the stress added to the overlapped part of the individual Cu-plated layer and the final insulating film becomes very small by dividing the bump part, and as a result, the generation of cracks on the final insulating film can be prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

- 1 -

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by dividing said interior of a bump into the necessary configuration of the magnitude below predetermined in the semiconductor device with which the bump was formed in opening of the last insulator layer on the bonding pad prepared through the 1st insulator layer on the semi-conductor substrate.

[Claim 2] The process which forms the 2nd insulator layer for dividing a bump into opening of the last insulator layer which formed the bonding pad on the 1st insulator layer of a semi-conductor substrate, and was formed on this bonding pad, The process which forms Cr layer and Cu layer for forming a bump on said bonding pad by the continuation spatter, The resist process which exposes Cr layer and Cu layer to the division part of the bump formation section, The

manufacture approach of the semiconductor device characterized by including the process which forms Cu deposit in a division part, the ESSHINGU process which removes a spatter Cr layer and a spatter Cu layer for this Cu deposit on a mask, and the process which forms a solder layer on said Cu deposit.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Industrial Application] Especially this invention relates to the semiconductor device which improved the structure of the bump section of a semiconductor device, and its manufacture approach about a semiconductor device.

[0002]

[Description of the Prior Art] Sufficient adhesion edge to prepare a projection electrode (bump) in the conventional wirebonding method paste up on the point which should be mutually connect using a lead wire thin as an approach which connects electrically between the electrode of a semiconductor device and the lead wire to the exterior , and the electrode terminal of a semiconductor device , and paste them directly is form , and the wireless bonding method which connects with this bump at coincidence is indicate by JP,47-3206,B .

[0003] Drawing 8 (a) and (b) are the

sectional views of the semiconductor device equivalent to the top view showing the electrode section of this conventional kind of semiconductor device, and its E-E line. The 1st insulator layer by which 1 was formed in the silicon substrate and 2 was formed on this silicon substrate 1 in this drawing, aluminum bonding pad used as a substrate metal for 3 to form a bump, The last insulator layer from which 4 protects said aluminum bonding pad 3 and aluminum wiring (not shown) (GARASUKO-TO film), It is Cr layer by which 6 was formed on said aluminum bonding pad 3, Cu layer by which 7 was formed on this Cr layer 6, Cu deposit by which 8 was formed of electroplating on this Cu layer 7, and the solder layer by which 9 was formed on this Cu deposit 8, and the bump is formed on these each class.

[0004] The conventional semiconductor device is constituted as mentioned above. The 1st insulator layer 2 About 0.7 micrometers is deposited on a silicon substrate 1 by SiO₂ film which includes several mol % of Lynn with reduced pressure CVD, and the aluminum bonding pad 3 is what deposited about 1 micrometer of thickness with the sputtering system. It is SiO₂ which it is a substrate metal for forming a bump, and the last insulator layer 4 is for protecting said aluminum wiring and aluminum bonding pad 3, and includes Lynn. SiO₂ which does not include the film and Lynn

SiO₂ by CVD of membranous two-layer structure Generally the film is used. In order that the Cr layer 6 and the Cu layer 7 may lessen the impurities (O₂ etc.) of a Cr-Cu interface, it has deposited continuously with the same sputtering system, and the Cr layer 6 is what was deposited about 0.1 micrometers of thickness. It is for strengthening adhesion of the aluminum bonding pad 3 and the Cu layer 7, and the Cu layer 7 is what was deposited several micrometers thickness. Becoming an electrode at the time of forming the Cu deposit 8 with electrolysis plating (cathode), since wettability with the solder layer 9 is good, it is used, and the Cu deposit 8 is 10 micrometers of thickness numbers, and pastes up the solder layer 9 by the printed circuit board and face down bonding. The diameter of a bump is about 200 micrometers, and a bump's height is several micrometers.

[0005] Next, the conventional bump formation process is explained about drawing 9 and drawing 10 . At drawing 9 (a), it is SiO₂ of about 0.7 micrometers of thickness by reduced pressure CVD as the 1st insulator layer 2. After depoting the film, The aluminum bonding pad 3 is formed in about 1-micrometer thickness with a sputtering system. Furthermore, what formed the last insulator layer 4 with the CVD method on it is shown, and the perforation back of the part which forms a bump by photoengraving process

at drawing 9 (b) is shown. In drawing 9 (c) It is shown after depositing the Cr layer 6 of about 0.1 micrometers of thickness, and the Cu layer 7 of about 1.0 micrometers of thickness all over a wafer with a sputtering system. In drawing 10 (a) Except the bump formation section, it covers by the resist 10 and electrolytic plating shows the formation back of the Cu deposit 8 of about 15 micrometers of thickness to the bump formation section. In drawing 10 (b) The etching back of the Cr layer 6 and the Cu layer 7 is shown after removing a resist 10, by drawing 10 (c), the solder layer 9 is formed on the Cu deposit 8, and the completion back of bump formation is shown.

[0006]

[Problem(s) to be Solved by the Invention] With a semiconductor device with the conventional bump structure formed as mentioned above, when forming the Cu deposit 8, in the part which overlaps the Cu deposit 8 and the last insulator layer 4, internal stress joined the last insulator layer 4, and there was a trouble that a crack 11 occurred like drawing 11 .

[0007] As mentioned above, in order to solve the mechanism by which a crack 11 goes into the last insulator layer 4 in the part which overlaps the Cu deposit 8 and the last insulator layer 4, artificers investigated the relation between the diameter of a bump, and the crack incidence rate of the last insulator layer 4

about the cause of generating that a crack 11 enters. The relation between this diameter of a bump and the crack incidence rate of the last insulator layer 4 is shown in drawing 12 .

[0008] When the diameter of a bump was enlarged so that drawing 12 might show, it turned out that the incidence rate of a crack 11 becomes high and the diameter of a bump becomes [a crack incidence rate] very small less than [$\phi 100\text{micrometer}$].

[0009] In a semiconductor device, the mechanism by which a crack 11 goes into the last insulator layer 4 is considered as follows. That is, when forming the Cu deposit 8 with electrolysis plating, Cu atom in copper-sulfate liquid moves to a bump formation part, and the Cu deposit 8 is formed. Under the present circumstances, it is for the shrinkage force of the Cu deposit 8 accompanying migration of Cu atom to join the last insulator layer 4 of the formation section circumference of the Cu deposit 8, and it is thought that that contraction is proportional to the diameter of a bump.

[0010] This invention was not made in order to cancel the above troubles, and it aims at acquiring the semiconductor device with which a crack does not go into the last insulator layer, and its manufacture approach.

[0011]

[Means for Solving the Problem] The semiconductor device according to claim 1

concerning this invention divides the interior of a bump on a bonding pad into the necessary configuration of the magnitude below predetermined.

[0012] Moreover, the manufacture approach of a semiconductor device according to claim 2 forms an insulator layer on a semi-conductor substrate, forms a bonding pad on it, forms the insulator layer for dividing a bump on this bonding pad, continues and forms Cr layer and Cu layer on this, forms Cu deposit and a solder layer on it further, and forms a bump.

[0013]

[Function] In claim 1 of this invention, by having divided the interior of a bump, the internal stress which joins the last insulator layer is eased, and generating of a crack is controlled.

[0014] Moreover, in claim 2, since form the last insulator layer on the bonding pad on a semi-conductor substrate, the 2nd insulator layer is formed so that a bump may be divided on the opening, Cu deposit is formed in each of the division part and a bump is formed, where Cu deposit formed on a bonding pad is divided, it is formed inside a bump.

[0015]

[Example] Hereafter, one example of this invention is explained based on a drawing. Drawing 1 (a) and (b) are the sectional views of the semiconductor device equivalent to the top view except a solder layer and its A-A line of an

electrode section of this invention. [of a semiconductor device] it is shown in drawing 1 -- as -- 1-4 -- the above -- it is completely conventionally the same as that of equipment. 5 makes the interior of a bump quadrisection on the aluminum bonding pad 3 which is a substrate metal for forming a bump. The 2nd insulator layer of 40 micrometers of **** for setting magnitude of each division part to about 100 micrometers or less, Cr layer by which 6 was formed on the 2nd insulator layer 5 and the last insulator layer 4 with said aluminum bonding pad 3 top and about 5-micrometer overlap part, 7 is Cu layer formed on this Cr layer 6, 8 (8a-8d) is Cu deposit each grew up to be in the quadrisection part, and 9 is the solder layer formed on this Cu deposit 8.

[0016] Next, the bump formation process of drawing 1 is explained about drawing 2, drawing 3, and drawing 4. Drawing 2 (a) is SiO₂ of about 0.7 micrometers of thickness as the 1st insulator layer 2 like drawing 9 (a). After depoting the film, the condition of having formed the aluminum bonding pad 3 and the last insulator layer 4 is shown, and drawing 2 (b) carries out patterning of the last insulator layer 4. Internal division of the part which forms a bump in the opening by photoengraving process is carried out by forming the 2nd insulator layer 5 of 35 micrometers of ****. The condition of having set magnitude of each division part to about 100 micrometers or less is

shown. Drawing 2 (c) It is shown after depositing the Cr layer 6 of about 0.1 micrometers of thickness, and the Cu layer 7 of about 1.0 micrometers of thickness continuously with a sputtering system, and drawing 3 (a) shows, after covering by the resist 108 so that the Cr layer 6 and the Cu layer 7 may be exposed to the part by which the interior which forms a bump was quadrisected. Moreover, drawing 3 (b) shows, after forming the Cu deposit 8 (8a-8d) of about 15 micrometers of thickness by electrolytic plating. As for drawing 3 (c), drawing 4 (a) after resist removal shows the condition of having removed further the Cu layer 7 formed in the mask by the spatter in the Cu deposit 8 by etching. Furthermore, drawing 4 (b) is immersed in a solder tub in a wafer, and shows the condition of having formed the solder layer 9 and having formed the bump on the Cu deposit 8.

[0017] In the semiconductor device constituted as mentioned above By quadrisecting the interior of a bump by the 2nd insulator layer 5, and setting magnitude of each division part to about 100 micrometers or less In case the Cu deposit 8 grows, since the Cu deposit 8 of the quadrisected part grows without contacting mutually, the stress which joins the last insulator layer 4 can be stopped very low compared with the conventional structure, therefore generating of the crack 11 of the last

insulator layer 4 can be prevented.

[0018] in addition, although the interior of a bump is quadrisected and magnitude of each division part is set to about 100 micrometers or less in the example of above-mentioned drawing 1 , magnitude of the division part inside a bump is set to about 100 micrometers or less in this example -- as -- small division (for example, eight division, 16 division, etc.) -- even if -- the same effectiveness is expectable.

[0019] Drawing 5 (a), and (b) are drawings showing the example which carried out the interior of a bump comparatively for 8 minutes, are the same drawing as drawing 1 (a), and (b), and drawing 6 (a), and (b) are examples which show the structure which carried out the array partitioning of the polygons, such as a hexagon, to roughness and fineness, drawing 7 (a) and (b) are drawings showing the structure which carried out the array partitioning to the shape of a doughnut, and they can expect the effectiveness as the example of drawing 1 with the same all In addition, drawing 5 (b), drawing 6 (b), and drawing 7 (b) are the sectional views of the semiconductor device which is equivalent to drawing 5 (a), drawing 6 (a), the B-B line of drawing 7 (a), a C-C line, and D-D line, respectively.

[0020]

[Effect of the Invention] As explained above, since the semiconductor device

according to claim 1 by this invention divides Cu deposit and forms the division part in about 100 micrometers or less, respectively, it eases the internal stress to the last insulator layer by Cu deposit, and has the effectiveness which controls generating of a crack.

[0021] Moreover, the manufacture approach of a semiconductor device according to claim 2 So that the 2nd insulator layer may be formed in opening of the last insulator layer by which opening was carried out and the bump of predetermined magnitude may be formed on the bonding pad on a semi-conductor substrate in a necessary configuration And since it divides into a required number and Cu deposit is formed in each of these division parts, a solder layer is formed and a bump is formed so that the whole Cu deposit divided and formed may be covered The internal stress to the last insulator layer by each Cu deposit becomes very small, and can prevent generating of the crack to the last insulator layer.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the important section of the semiconductor device which is one example of this invention.

[Drawing 2] It is the sectional view

showing the formation process of the bump of this invention.

[Drawing 3] It is the sectional view showing the process which follows drawing 2.

[Drawing 4] It is the sectional view showing the process which follows drawing 3.

[Drawing 5] It is drawing showing the important section of other examples of this invention.

[Drawing 6] It is drawing showing the important section of the example of further others of this invention.

[Drawing 7] It is drawing showing the important section of the example of further others of this invention.

[Drawing 8] It is drawing showing the important section of the conventional semiconductor device.

[Drawing 9] It is the sectional view showing the conventional production process.

[Drawing 10] It is the sectional view showing the process which follows drawing 8.

[Drawing 11] It is the sectional view showing the trouble of the conventional semiconductor device.

[Drawing 12] It is drawing showing the relation between the diameter of a bump, and the crack incidence rate to the last insulator layer.

[Description of Notations]

1 Silicon Substrate

2 1st Insulator Layer

- 7 -

- 3 Aluminum Bonding Pad
- 4 The Last Insulator Layer
- 5 2nd Insulator Layer
- 6 Cr Layer
- 7 Cu Layer
- 8 Cu Deposit
- 9 Solder Layer
- 10 Resist

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-13418

(43) 公開日 平成5年(1993)1月22日

(51) Int. Cl. ⁵

H01L 21/321

識別記号

9168-4M

F I

H01L 21/92

C

審査請求 未請求 請求項の数 2 (全7頁)

(21) 出願番号 特願平3-164161

(22) 出願日 平成3年(1991)7月4日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 福田 浩二

福岡市西区今宿東一丁目1番1号 三菱セ
ミコンエンジニアリング株式会社内

(72) 発明者 武田 満喜

福岡市西区今宿東一丁目1番1号 三菱電
機株式会社福岡製作所内

(74) 代理人 弁理士 高田 守 (外1名)

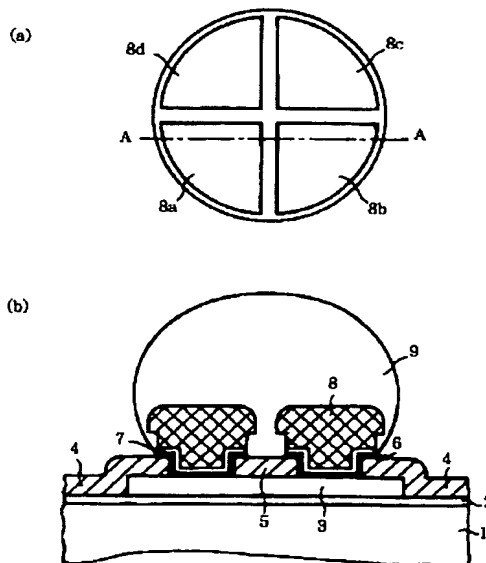
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 バンプを構成するCuメッキ層と最終絶縁膜とのオーバーラップ部分で、最終絶縁膜に内部応力が加わるによりクラックが発生するのを防止する。

【構成】 半導体基板1上に第1絶縁膜2を介して設けられたボンディングパッド3上の最終絶縁膜4の開口部に、第2絶縁膜5を形成することによって所定の大きさの複数のバンプ形成部分に分割し、これらの分割部分のそれぞれにCr層6、Cu層7を介してCuメッキ層8を形成し、これらのCuメッキ層8の全体を覆うように半田層9を形成したことを特徴としている。

【効果】 バンプ内部を分割したことにより、個々のCuメッキ層と最終絶縁膜とのオーバーラップ部分に加わる応力が極めて小さくなるので、最終絶縁膜へのクラックの発生が防止される。



- | | |
|---------------|----------|
| 1 シリコン基板 | 6 Cr層 |
| 2 第1絶縁膜 | 7 Cu層 |
| 3 Alボンディングパッド | 8 Cuメッキ層 |
| 4 最終絶縁膜 | 9 半田層 |
| 5 第2絶縁膜 | |

【特許請求の範囲】

【請求項 1】半導体基板上に第 1 絶縁膜を介して設けられたボンディングパッド上の最終絶縁膜の開口部に、バンプが形成された半導体装置において、前記バンプ内部を所定以下の大きさの所要形状に分割したことを特徴とする半導体装置。

【請求項 2】半導体基板の第 1 絶縁膜上にボンディングパッドを形成し、このボンディングパッド上に形成された最終絶縁膜の開口部にバンプを分割するための第 2 絶縁膜を形成する工程と、前記ボンディングパッド上にバンプを形成するための Cr 層と Cu 層を連続スパッタにより形成する工程と、バンプ形成部の分割部分に Cr 層と Cu 層を露出するレジスト工程と、分割部分に Cu メッキ層を形成する工程と、この Cu メッキ層をマスクにスパッタ Cr 層とスパッタ Cu 層を除去するエッチング工程と、前記 Cu メッキ層上に半田層を形成する工程を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に関し、特に半導体素子のバンプ部の構造を改良した半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】半導体装置の電極と外部へのリード線との間を電氣的に接続する方法として、細い導線を使用し、相互に接続すべき点に接着する従来のワイヤボンディング方式と、半導体装置の電極端子に突起電極（バンプ）を設け直接接着するに充分な接着端を形成し、このバンプに同時に接続するワイヤレスボンディング方式は、例えば特公昭 47-3206 号公報に記載されている。

【0003】図 8 (a)、(b) は従来のこの種の半導体装置の電極部分を示す平面図およびその E-E 線に相当する半導体装置の断面図である。この図において、1 はシリコン基板、2 はこのシリコン基板 1 上に形成された第 1 絶縁膜、3 はバンプを形成するための下地金属となる Al ボンディングパッド、4 は前記 Al ボンディングパッド 3 と Al 配線（図示せず）を保護する最終絶縁膜（ガラスコート膜）、6 は前記 Al ボンディングパッド 3 上に形成された Cr 層、7 はこの Cr 層 6 上に形成された Cu 層、8 はこの Cu 層 7 上に電気メッキにより形成された Cu メッキ層、9 はこの Cu メッキ層 8 上に形成された半田層であり、これら各層でバンプが形成されている。

【0004】従来の半導体装置は上記のように構成されており、第 1 絶縁膜 2 は、シリコン基板 1 上に減圧 CVD により数 mol % のリンを含む SiO₂ 膜で約 0.7 μm 堆積したものであり、Al ボンディングパッド 3 はスパッタ装置で膜厚約 1 μm を堆積したもので、バンプを形成するための下地金属であり、最終絶縁膜 4 は前記

Al 配線と Al ボンディングパッド 3 を保護するためのもので、リンを含む SiO₂ 膜とリンを含まない SiO₂ 膜の 2 層構造の CVD による SiO₂ 膜が一般的に使われている。Cr 層 6 と Cu 層 7 は Cr-Cu 界面の不純物 (O₂ など) を少なくするため、同一のスパッタ装置で連続して堆積しており、Cr 層 6 は膜厚約 0.1 μm 堆積したもので、Al ボンディングパッド 3 と Cu 層 7 との密着性を強くするためであり、Cu 層 7 は膜厚数 μm 堆積したもので、Cu メッキ層 8 を電解メッキ法で形成する際の電極（カソード）となるものであり、Cu メッキ層 8 は半田層 9 との濡れ性が良いために用いられており、膜厚数十 μm であり、半田層 9 はプリント基板とフェースダウンボンディングにより接着する。バンプ径は約 200 μm であり、バンプの高さは数 μm である。

【0005】次に、従来のバンプ形成工程を図 9、図 10 について説明する。図 9 (a) では、第 1 絶縁膜 2 として減圧 CVD により膜厚約 0.7 μm の SiO₂ 膜をデポした後、スパッタ装置で Al ボンディングパッド 3 を約 1 μm の膜厚に形成し、さらにその上に CVD 法により最終絶縁膜 4 を形成したものを示し、図 9 (b) では写真製版でバンプを形成する部分の穴開け後を示し、図 9 (c) では、膜厚約 0.1 μm の Cr 層 6 と膜厚約 1.0 μm の Cu 層 7 をスパッタ装置でウエハ全面に堆積した後を示し、図 10 (a) では、バンプ形成部以外はレジスト 10 で覆い、バンプ形成部に電解メッキにより膜厚約 15 μm の Cu メッキ層 8 の形成後を示し、図 10 (b) では、レジスト 10 を除去後、Cr 層 6 と Cu 層 7 のエッチング後を示し、図 10 (c) では、Cu メッキ層 8 上に半田層 9 を形成し、バンプ形成完了後を示す。

【0006】

【発明が解決しようとする課題】上記のように形成された従来のバンプ構造をもつ半導体装置では、Cu メッキ層 8 を形成する際に、Cu メッキ層 8 と最終絶縁膜 4 とオーバーラップする部分で、最終絶縁膜 4 に内部応力がかかり、図 11 のようにクラック 11 が発生するという問題点があった。

【0007】上記のように、Cu メッキ層 8 と最終絶縁膜 4 とオーバーラップする部分で、最終絶縁膜 4 にクラック 11 が入るメカニズムを解決するため、発明者らは、クラック 11 が入る発生原因について、バンプ径と最終絶縁膜 4 のクラック発生率との関係を調査した。このバンプ径と最終絶縁膜 4 のクラック発生率との関係を図 12 に示す。

【0008】図 12 からわかるように、バンプ径を大きくすると、クラック 11 の発生率が高くなり、バンプ径が φ100 μm 以下ではクラック発生率が極めて小さくなることがわかった。

【0009】半導体装置において、最終絶縁膜 4 にクラ

ック 1 1 が入るメカニズムは次のように考えられる。すなわち、電解メッキ法により Cu メッキ層 8 を形成する場合、硫酸銅液中の Cu 原子がバンプ形成部分に移動し、Cu メッキ層 8 が形成される。この際、Cu メッキ層 8 の形成部周辺の最終絶縁膜 4 に Cu 原子の移動に伴う Cu メッキ層 8 の収縮力が加わるためであり、その収縮率がバンプ径に比例しているものと考えられる。

【0010】本発明は、上記のような問題点を解消するためになされたもので、最終絶縁膜にクラックが入らない半導体装置およびその製造方法を得ることを目的としている。

【0011】

【課題を解決するための手段】本発明に係る請求項 1 に記載の半導体装置は、ボンディングパッド上のバンプ内部を所定以下の大きさの所要形状に分割したものである。

【0012】また、請求項 2 に記載の半導体装置の製造方法は、半導体基板上に絶縁膜を形成し、その上にボンディングパッドを形成し、このボンディングパッド上にバンプを分割するための絶縁膜を形成し、この上に Cr 層、Cu 層を連続して形成し、さらにその上に Cu メッキ層、半田層を形成し、バンプを形成するものである。

【0013】

【作用】本発明の請求項 1 においては、バンプ内部を分割したことにより、最終絶縁膜に加わる内部応力を緩和し、クラックの発生を抑制する。

【0014】また、請求項 2 においては、半導体基板上のボンディングパッド上に最終絶縁膜を形成し、その開口部上にバンプが分割されるように第 2 絶縁膜を形成し、その分割部分のそれぞれに Cu メッキ層を形成してバンプを形成することから、バンプ内部ではボンディングパッド上に形成される Cu メッキ層が分割された状態で形成される。

【0015】

【実施例】以下、本発明の一実施例を図面に基づいて説明する。図 1 (a), (b) は本発明の半導体装置の電極部分の半田層を除いた平面図およびその A-A 線に相当する半導体装置の断面図である。図 1 に示すように、1~4 は上記従来装置と全く同一のものである。5 はバンプを形成するための下地金属である Al ボンディングパッド 3 上にバンプ内部を 4 分割にし、それぞれの分割部分の大きさを 100 μ m 程度以下とするための幅約 40 μ m の第 2 絶縁膜、6 は前記 Al ボンディングパッド 3 上および約 5 μ m 程度のオーバーラップ部分をもって第 2 絶縁膜 5 および最終絶縁膜 4 上に形成された Cr 層、7 はこの Cr 層 6 上に形成された Cu 層であり、8 (8a~8d) は 4 分割部分でそれぞれが成長した Cu メッキ層であり、9 はこの Cu メッキ層 8 上に形成された半田層である。

【0016】次に、図 1 のバンプ形成工程を図 2、図

3、図 4 について説明する。図 2 (a) は、図 9 (a) と同様にして第 1 絶縁膜 2 として膜厚約 0.7 μ m の SiO₂ 膜をデボした後、Al ボンディングパッド 3、最終絶縁膜 4 を形成した状態を示し、図 2 (b) は最終絶縁膜 4 をパターンニングして、その開口部に写真製版でバンプを形成する部分を幅約 35 μ m の第 2 絶縁膜 5 を形成することによって内部分割し、それぞれの分割部分の大きさを 100 μ m 程度以下とした状態を示し、図 2

(c) は、膜厚約 0.1 μ m の Cr 層 6 と膜厚約 1.0 μ m の Cu 層 7 をスパッタ装置で連続して堆積した後を示し、図 3 (a) はバンプを形成する内部の 4 分割された部分に Cr 層 6、Cu 層 7 が露出するようにレジスト 108 で覆った後を示す。また、図 3 (b) は、電解メッキにより膜厚約 15 μ m の Cu メッキ層 8 (8a~8d) を形成した後を示し、図 3 (c) はレジスト除去後の、図 4 (a) はさらに Cu メッキ層 8 をマスクにスパッタで形成された Cu 層 7 をエッチングで除去した状態を示し、さらに図 4 (b) ははんだ槽にウエハを浸漬し、Cu メッキ層 8 上に半田層 9 を形成してバンプを形成した状態を示す。

【0017】上記のように構成された半導体装置においては、第 2 絶縁膜 5 でバンプ内部を 4 分割し、それぞれの分割部分の大きさを 100 μ m 程度以下とすることにより、Cu メッキ層 8 が成長する際に、4 分割された部分の Cu メッキ層 8 が互いに接触せずに成長するため最終絶縁膜 4 に加わるストレスを従来の構造に比べ、極めて低く抑えることができ、したがって、最終絶縁膜 4 のクラック 11 の発生を防止することができる。

【0018】なお、上記図 1 の実施例では、バンプ内部を 4 分割し、それぞれの分割部分の大きさを 100 μ m 程度以下としているが、本実施例では、バンプ内部の分割部分の大きさを 100 μ m 程度以下とするように小分割（例えば 8 分割、16 分割など）にしても同様の効果が期待できる。

【0019】図 5 (a), (b) は、バンプ内部を 8 分割にした実施例を示す図で、図 1 (a), (b) と同様な図であり、また、図 6 (a), (b) は六角形などの多角形を粗密に配列分割した構造を示す実施例であり、図 7 (a), (b) はドーナツ状に配列分割した構造を示す図であり、いずれも図 1 の実施例と同様な効果が期待できる。なお、図 5 (b), 図 6 (b), 図 7 (b) はそれぞれ図 5 (a), 図 6 (a), 図 7 (a) の B-B 線、C-C 線、D-D 線に相当する半導体装置の断面図である。

【0020】

【発明の効果】以上説明したように、本発明による請求項 1 に記載の半導体装置は、Cu メッキ層を分割してその分割部分をそれぞれ 100 μ m 程度以下に形成しているので、Cu メッキ層による最終絶縁膜への内部応力を緩和し、クラックの発生を抑制する効果がある。

【0021】また、請求項2に記載の半導体装置の製造方法は、半導体基板上のボンディングパッド上に開口された最終絶縁膜の開口部に第2絶縁膜を形成して所定の大きさのバンプが形成されるように所要形状に、かつ所要数に分割し、これらの分割部分のそれぞれにCuメッキ層を形成し、その分割されて形成されたCuメッキ層の全体を覆うように半田層を形成してバンプを形成するので、各Cuメッキ層による最終絶縁膜への内部応力は極めて小さくなり最終絶縁膜へのクラックの発生を防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体装置の要部を示す図である。

【図2】本発明のバンプの形成工程を示す断面図である。

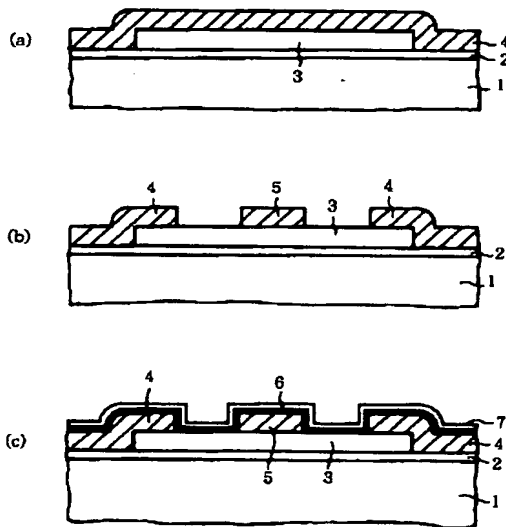
【図3】図2に引き続く工程を示す断面図である。

【図4】図3に引き続く工程を示す断面図である。

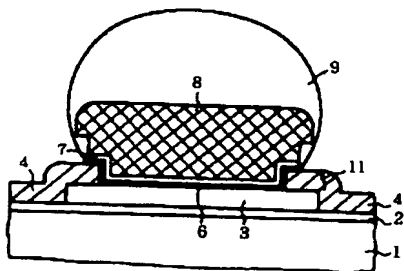
【図5】本発明の他の実施例の要部を示す図である。

【図6】本発明のさらに他の実施例の要部を示す図である。

【図2】



【図11】



【図7】本発明のさらに他の実施例の要部を示す図である。

【図8】従来の半導体装置の要部を示す図である。

【図9】従来の製造工程を示す断面図である。

【図10】図8に引き続く工程を示す断面図である。

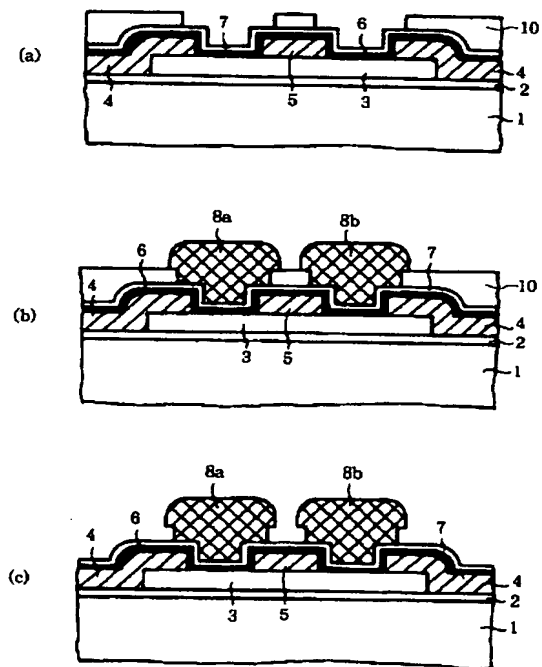
【図11】従来の半導体装置の問題点を示す断面図である。

【図12】バンプ径と最終絶縁膜へのクラック発生率との関係を示す図である。

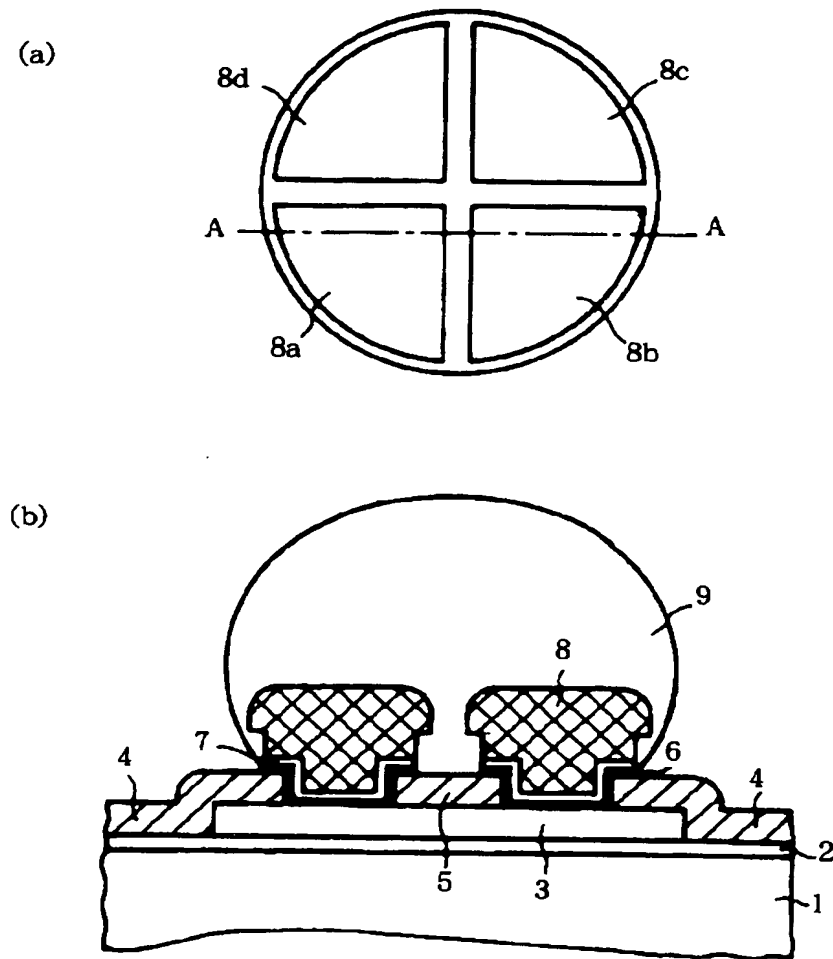
10 【符号の説明】

- 1 シリコン基板
- 2 第1絶縁膜
- 3 Alボンディングパッド
- 4 最終絶縁膜
- 5 第2絶縁膜
- 6 Cr層
- 7 Cu層
- 8 Cuメッキ層
- 9 半田層
- 20 10 レジスト

【図3】

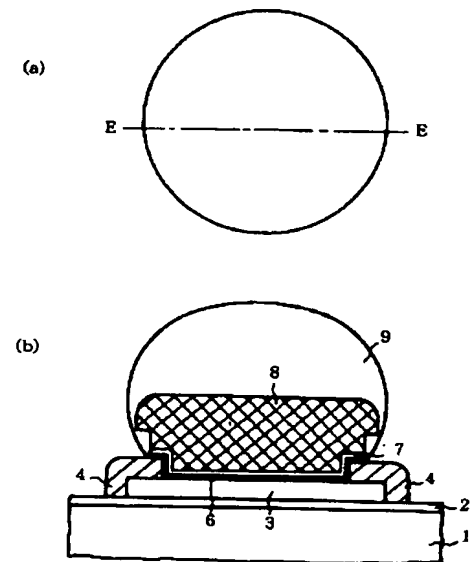


【図1】

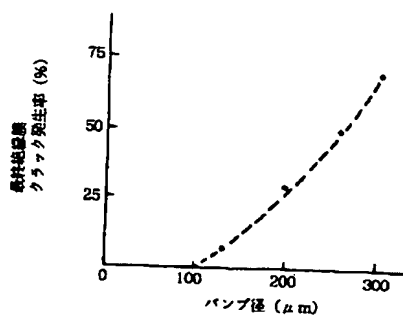


- | | |
|---------------|----------|
| 1 シリコン基板 | 6 Cu層 |
| 2 第1絶縁膜 | 7 Cu層 |
| 3 Alボンディングパット | 8 Cuメッキ層 |
| 4 最終絶縁膜 | 9 半田層 |
| 5 第2絶縁膜 | |

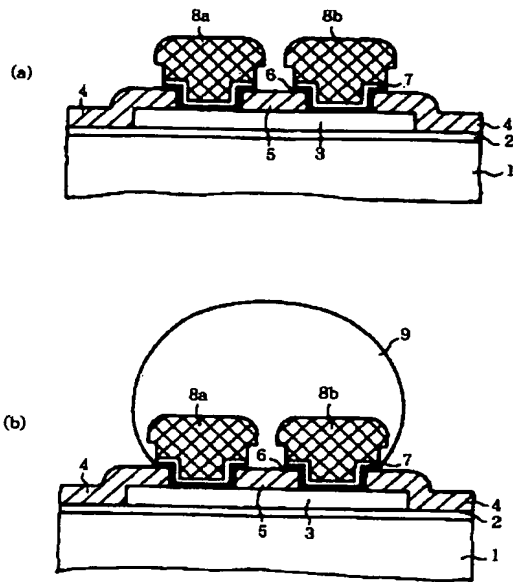
【図8】



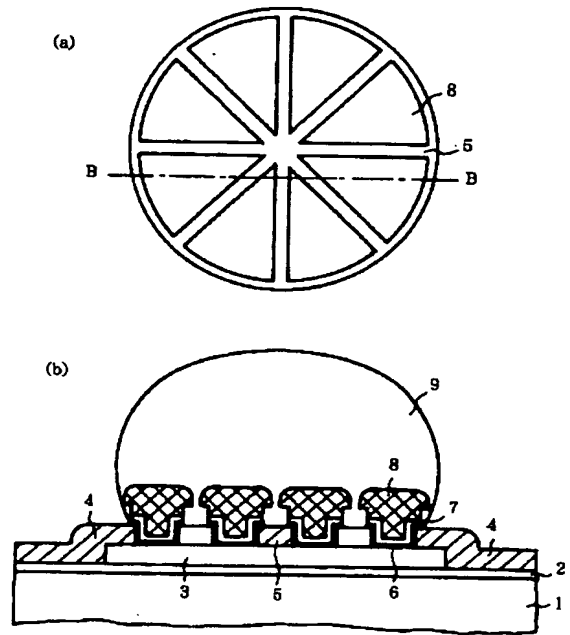
【図12】



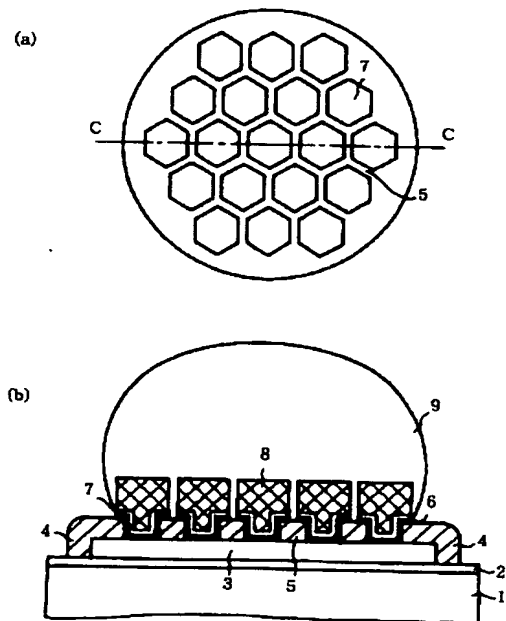
【図 4】



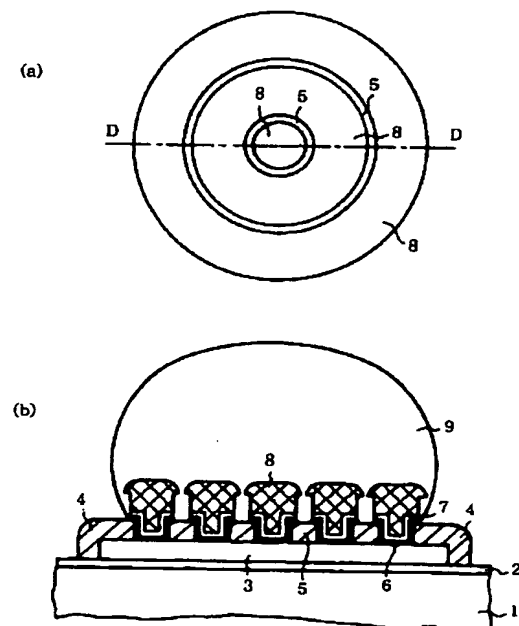
【図 5】



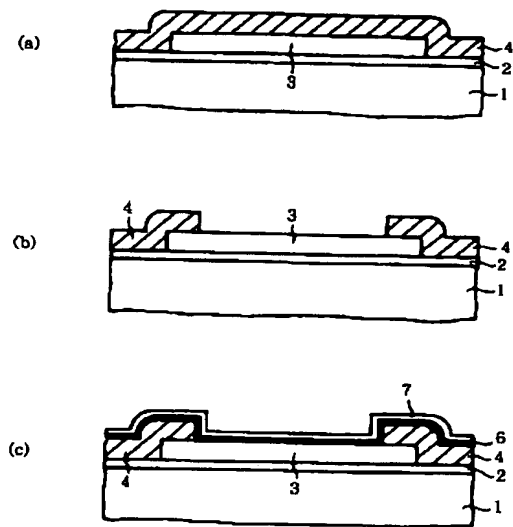
【図 6】



【図 7】



【図 9】



【図 10】

